

Patent

Customer No. 31561
Application No.: 10/605,275
Docket No. 11241-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Hsu
Application No. : 10/605,275
Filed : September 19, 2003
For : QUAD FLAT NO-LEAD CHIP CARRIER
Examiner :
Art Unit : 3679

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.:
092117230, filed on: 2003/06/25.

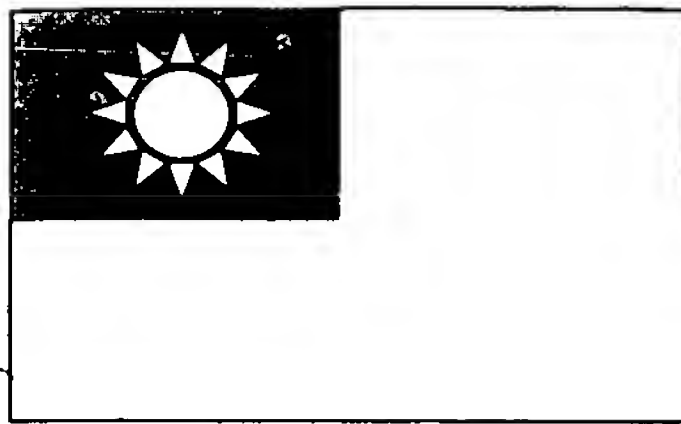
A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: Feb. 17, 2004

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:
7F.-1, No. 100, Roosevelt Rd.,
Sec. 2, Taipei 100, Taiwan, R.O.C.
Tel: 886-2-2369 2800
Fax: 886-2-2369 7233 / 886-2-2369 7234



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申 請 日：西元 2003 年 06 月 25 日
Application Date

申 請 案 號：092117230
Application No.

申 請 人：威盛電子股份有限公司
Applicant(s)

局 長
Director General

蔡 練 生

發文日期：西元 2003 年 10 月 9 日
Issue Date

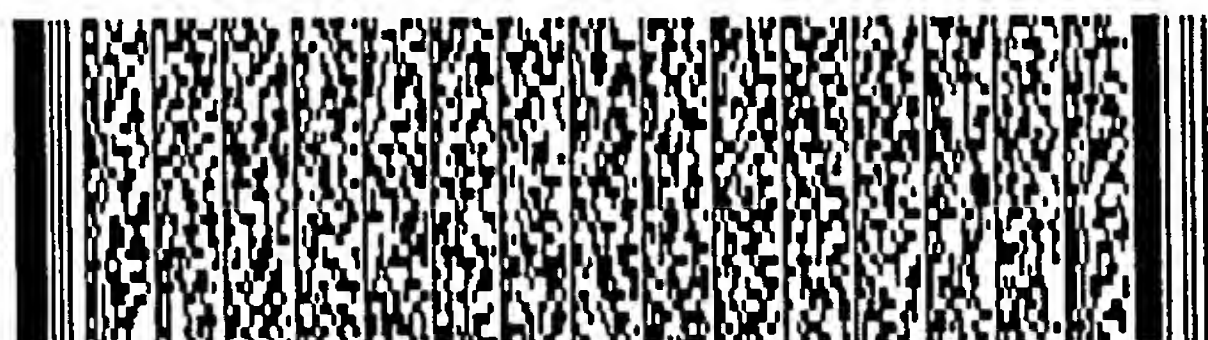
發文字號：09221018630
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	四方扁平無接腳型態之晶片承載器
	英 文	Quad Flat No-Lead Type Chip Carrier
二、 發明人 (共1人)	姓 名 (中 文)	1. 許志行
	姓 名 (英 文)	1. Chi-Hsing Hsu
	國 籍 (中 英 文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北縣新店市中正路533號8樓
	住居所 (英 文)	1. c/o 8F, No. 533, Chung-Cheng Rd., Hsintien, Taipei Hsien, Taiwan, R. O. C.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	1. 威盛電子股份有限公司
	名稱或 姓 名 (英 文)	1. VIA Technologies, Inc.
	國 籍 (中 英 文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台北縣新店市中正路533號8樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
	代表人 (中 文)	1. 王雪紅
	代表人 (英 文)	1. Hsiueh-Hong WANG



四、中文發明摘要 (發明名稱：四方扁平無接腳型態之晶片承載器)

一種四方扁平無接腳型態之晶片承載器，適用於一打線接合型態之晶片封裝結構。此晶片承載器主要係由一導電板、多個導電柱以及多個介電牆所構成。晶片配置於導電板上，而導電板具有多個柱狀貫孔，位於晶片接合區之外圍，且導電柱配置於柱狀貫孔之中，介電牆介於導電柱之側壁與柱狀貫孔之內面之間。此外，晶片可藉由導線而電性連接至導電柱，再經由導電柱之底端所形成I/O接點連接至外界，且此晶片承載器可使晶片封裝結構具有較高之I/O接點的密度，並提昇晶片封裝結構的電氣效能。

伍、(一)、本案代表圖為：第 2A 圖

(二)、本案代表圖之元件代表符號簡單說明：

210：晶片承載器

220：導電板

226：晶片接合區域

六、英文發明摘要 (發明名稱：Quad Flat No-Lead Type Chip Carrier)

A quad flat no-lead type chip carrier for a wire bonding chip package structure is provided. The chip carrier is composed of a conductive plate with plurality of column holes around a chip bonding area of the conductive plate, and a plurality of conductive columns inside the column holes respectively, and a plurality of dielectric walls between sidewall of the conductive columns.



四、中文發明摘要 (發明名稱：四方扁平無接腳型態之晶片承載器)

228 : 柱狀貫孔

230 : 導電柱

232 : 介電牆

六、英文發明摘要 (發明名稱：Quad Flat No-Lead Type Chip Carrier)

and the inner surface of the column holes. A chip disposes on the conductive plate and electrically connects to the conductive columns via wire bonding and through the end of the conductive columns to form I/O contacts with external device so that the density of I/O contacts of the chip carrier will be higher and the chip carrier makes the chip package with good electric performance.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

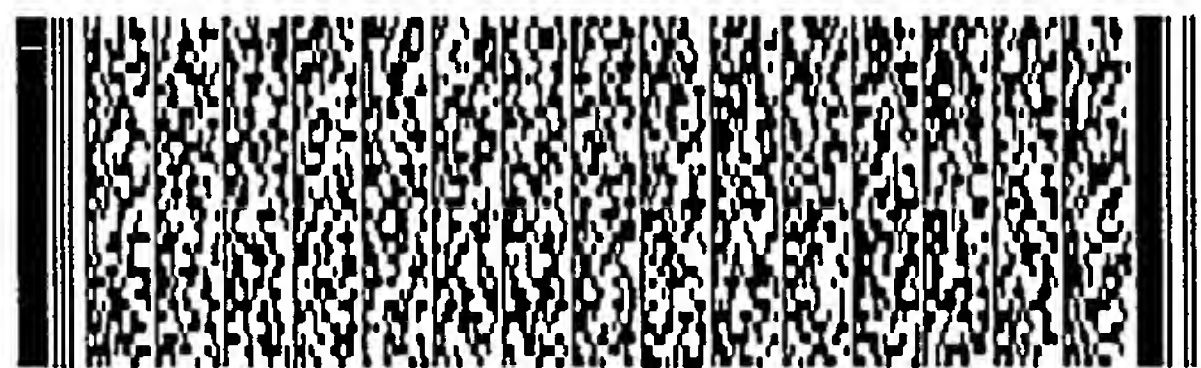
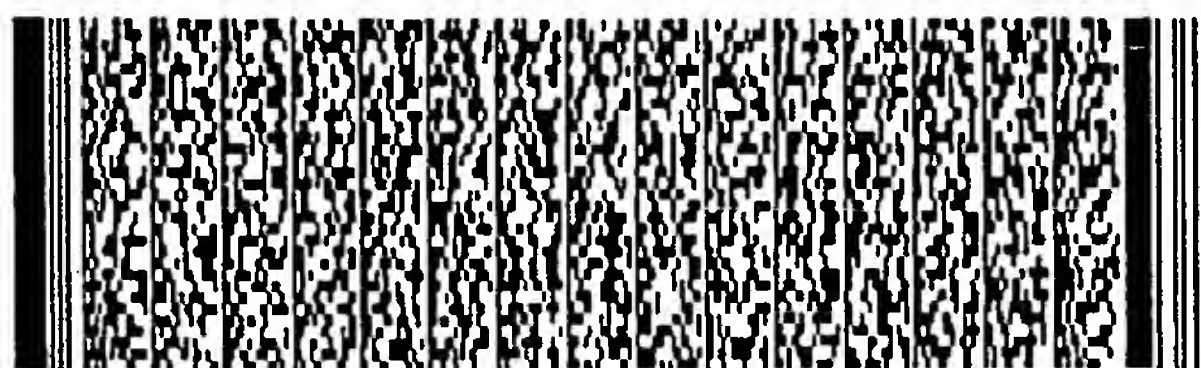
發明所屬之技術領域

本發明是有關於一種晶片承載器 (chip carrier)，且特別是有關於一種四方扁平無接腳型態 (QFN) 之晶片承載器及其晶片封裝體。

先前技術

半導體工業是近年來發展速度最快之高科技工業之一，隨著電子技術的日新月異，高科技電子產業的相繼問世，使得更人性化、功能更佳的電子產品不斷地推陳出新，並朝向輕、薄、短、小的趨勢設計。目前在半導體製程當中，導線架 (lead frame) 是經常使用的構裝元件之一，而四方扁平封裝結構 (Quad Flat Package, QFP) 又以導線架之接腳型態而區分為：I型接腳之四方扁平封裝結構 (QFI)、J型接腳之四方扁平封裝結構 (QFJ) 及四方扁平無接腳封裝結構 (QFN) 等。由於四方扁平無接腳封裝結構所使用之導線架，其接腳之外端切齊於晶片封裝體 (chip package) 之四端，因此又將此類接腳型態之晶片封裝體，稱之為四方扁平無接腳型態之晶片封裝結構 (Quad Flat No-Lead Chip Package)。由於四方扁平封裝結構具有較短之訊號傳遞路徑 (trace)，且具有較快之訊號傳遞速度等優點，因此一直是低腳位 (low pin count) 構裝型態的主流之一，適用於高頻傳輸 (例如射頻頻帶) 之晶片封裝結構之中。

請參考第1A及1B圖，其中第1A圖繪示習知一種四方扁平無接腳封裝結構之剖面圖，而第1B圖繪示對應於第1A圖

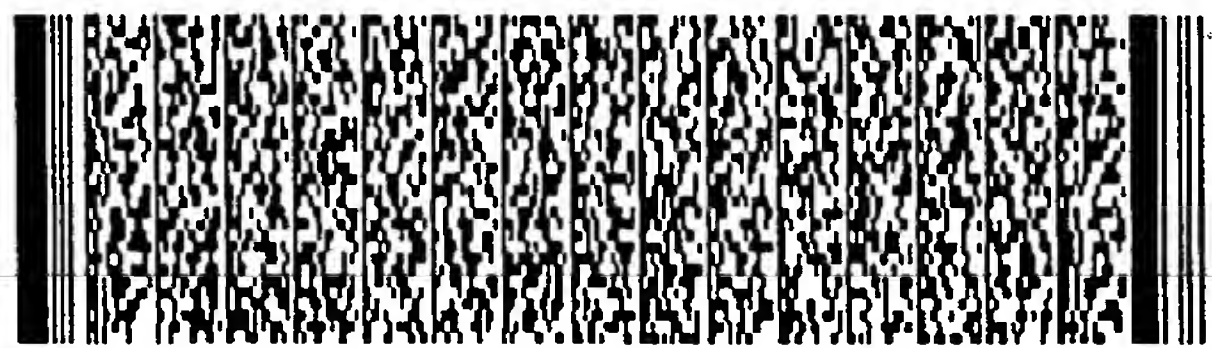
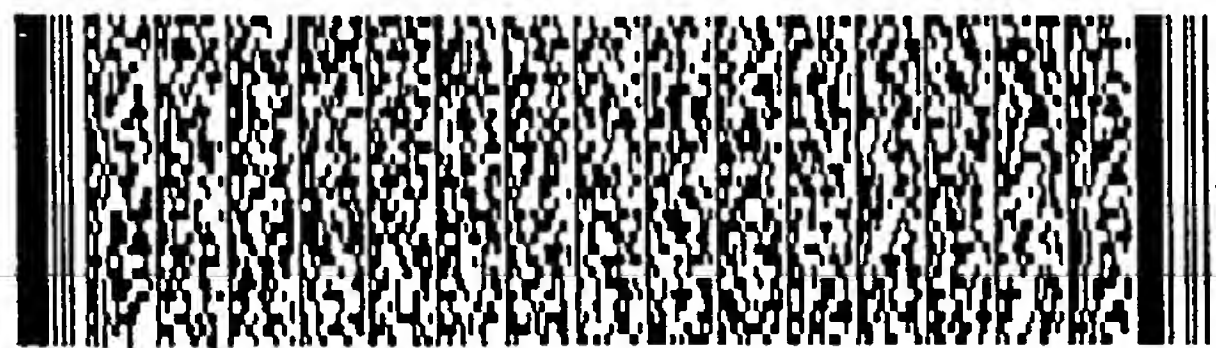


五、發明說明 (2)

之四方扁平無接腳封裝結構之下表面的仰視圖。如第1A圖所示，四方扁平無接腳封裝結構100包括一晶片110、一晶片座120、多個導線130、多個接腳140以及一封膠150。其中，晶片110具有一主動表面112以及對應之一背面114，而晶片110之主動表面112具有多個鐳墊116，且晶片110之背面114例如藉由一銀膠 (silver epoxy) 118而固定於晶片座120之上表面。此外，晶片110之鐳墊116則藉由導線130而電性連接至其所對應之接腳140，而封膠150係包覆晶片110、導線130、晶片座120之上表面以及接腳140之上表面，用以保護晶片110以及導線130。另外，晶片110還可藉由一接地(或電源)導線132而電性連接至晶片座120，而晶片110電性連接至晶片座120之目的乃是使晶片110相對具有較大的接地平面 (ground plane) 或電源平面 (power plane)。

接著，如第1B圖所示，晶片座120之下表面以及接腳140之下表面係暴露於封膠150之外，而接腳140之外端切齊於封膠150之四邊的側緣，並呈環狀排列於晶片座120之外圍，其中接腳140係作為晶片封裝結構100對外之I/O接點。

值得注意的是，當晶片封裝結構100所需之I/O接點密度愈高時，由於相鄰二接腳140之間的間距無法進一步縮小，且接腳140之外端必須延伸至封膠150之側緣的限制，因此利用此種排列之接腳140其密度無法有效提高，因而影響晶片封裝結構100之I/O接點密度。此外，於灌入封膠



五、發明說明 (3)

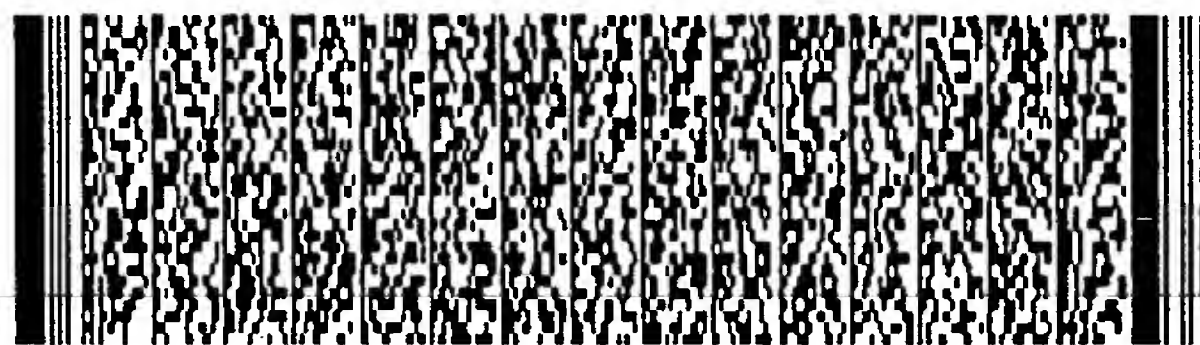
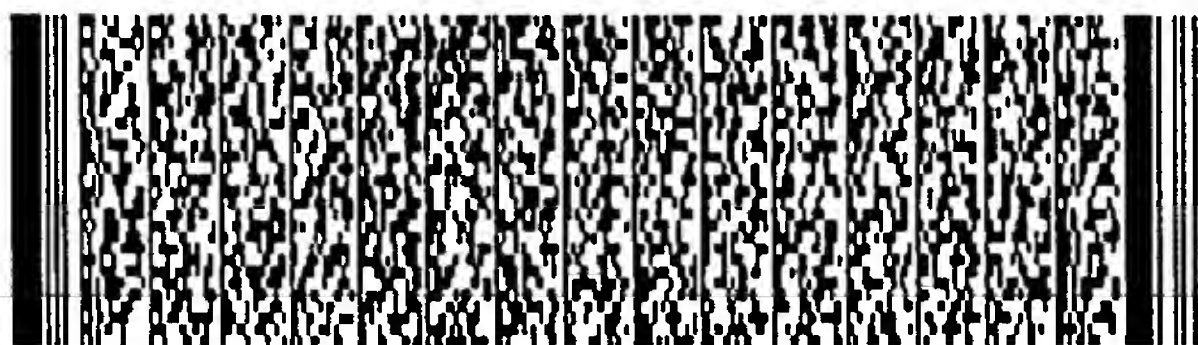
150之製程中，部分封膠150容易溢流至晶片座120之下表面以及接腳140之下表面，而產生溢膠的現象，由於溢膠不易清除，因而影響晶片封裝結構之封裝品質。另外，習知乃是在單一訊號導線130之兩側分別配置一防護導線(guard wire)(未繪示)，用以防止相鄰二訊號導線130之間發生交互干擾(crosstalk)的現象，進而提高晶片封裝結構100之電氣效能。然而，這些防護導線卻容易導致晶片座120之配置空間增加，相對使得接腳140之數量及密度無法顯著地向上提高。

發明內容

有鑑於此，本發明之目的就是在提供一種四方扁平無接腳型態之晶片承載器，用以提高晶片封裝結構之I/O接點的密度。

本發明之另一目的是提供一種四方扁平無接腳型態之晶片封裝體，用以改善封膠製程所產生之溢膠現象，並同時提昇晶片封裝結構的電氣效能。

為達本發明之上述目的，本發明提出一種四方扁平無接腳型態之晶片承載器，其包括一導電板，具有一第一面及對應之一第二面，而第一面具有一晶片接合區域，且導電板具有多個柱狀貫孔，其位於晶片接合區域之外圍，並分別貫穿導電板，而連接導電板之第一面及第二面。此外，多個導電柱分別配置於這些柱狀貫孔之內。另外，多個介電牆分別配置於導電柱之一的側緣及其對應之柱狀貫孔之一的內面。

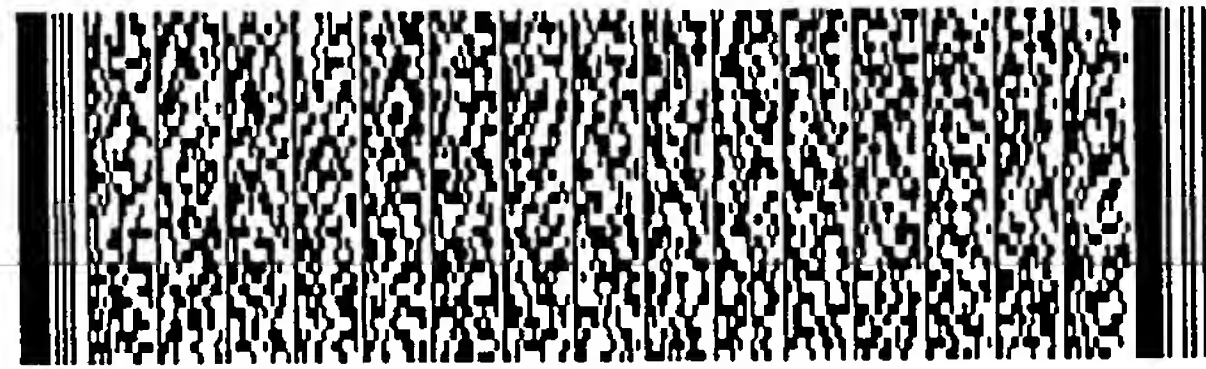
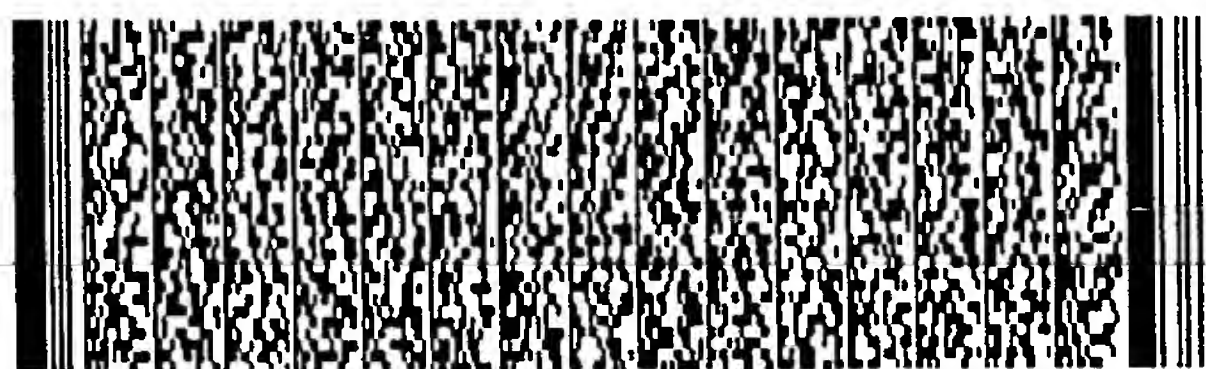


五、發明說明 (4)

為達本發明之上述目的，本發明提出一種四方扁平無接腳型態之晶片封裝體，包括一晶片承載器、一晶片、多個第一導線以及一封膠。此晶片承載器係由一導電板、多個導電柱以及多個介電層所構成。其中，導電板具有一第一面及對應之一第二面，而第一面具有一晶片接合區域，且導電板具有多個柱狀貫孔，其分佈於晶片接合區域之外圍，並分別貫穿導電板，而連接導電板之第一面及第二面；導電柱係分別配置於柱狀貫孔之內，而介電層係分別配置於導電柱之一的側緣及其對應之柱狀貫孔之一的內面。此外，晶片配置於導電板之第一面的晶片接合區域，而第一導線分別電性連接晶片及導電柱，且封膠係包覆晶片及這些第一導線。

基於上述，本發明因採用具有多個柱狀貫孔之導電板，來作為晶片之承載器，且晶片可藉由導線而電性連接至這些配置於導電板之柱狀貫孔內的導電柱，並且導電柱更藉由介電牆之絕緣效果而形成各自獨立之I/O接點。由於相鄰二導電柱之間的間距可以縮小，所以晶片封裝結構所需之I/O接點的密度可進一步增加。此外，封膠製程所產生之溢膠現象將不易發生於本發明之晶片承載器的下表面，因此可提昇晶片封裝結構的封裝品質。另外，本發明更利用導電板作為參考平面，用以降低訊號在經過導電柱的期間所受到的外界干擾。

為讓本發明之上述目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如



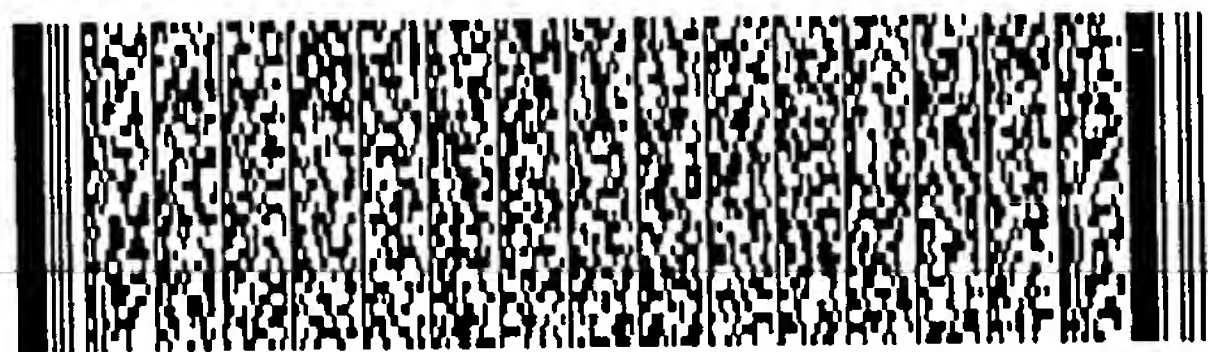
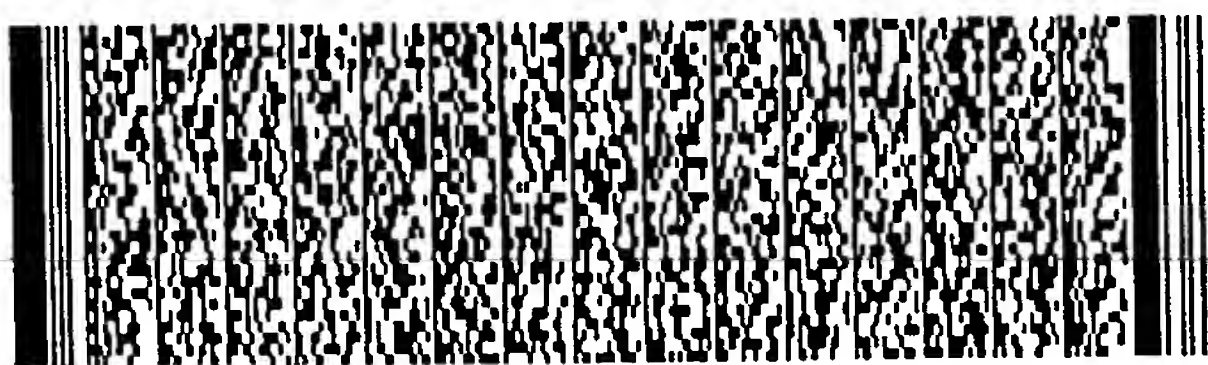
五、發明說明 (5)

下：

實施方式

請參考第2A及2B圖，其中第2A圖繪示本發明一較佳實施例之一種四方扁平無接腳型態之晶片承載器的俯視圖，而第2B圖繪示第2A圖之I-I線的剖面圖。此晶片承載器210主要係由一導電板220、多個導電柱230以及多個介電牆232所構成。首先，導電板220具有一第一面222及對應之一第二面224，而第一面222具有一晶片接合區域226，且導電板220還具有多個柱狀貫孔228，其位於晶片接合區域226之外圍，並分別貫穿導電板220，而連接導電板220之第一面222及第二面224，其中導電板220之材質例如為銅、鋁、該等之合金或其他高導熱性及導電性之材質，用以增加導電板220的散熱效果。此外，這些導電柱230係分別配置於這些柱狀貫孔228之內，且這些介電牆232分別配置於導電柱230之一的側緣及其對應之柱狀貫孔228之一的內面，其中導電柱230之材質亦可為銅、鋁、該等之合金或其他高導電性之物質。由於介電牆232係可為高介電常數之樹脂材料，因此導電柱230與導電板220之間藉由介電牆232而形成良好的絕緣效果。

同樣如第2A圖所示，導電柱230排列且環繞於晶片接合區域226之外圍，且相鄰之導電柱230例如呈現交錯型態分別排列於二排導電柱230上，此種排列方式除了增加打線製程之方便性之外，當導電柱230的所需數量增加時，亦可藉由交錯排列這些導電柱230而縮小導電柱230之配置

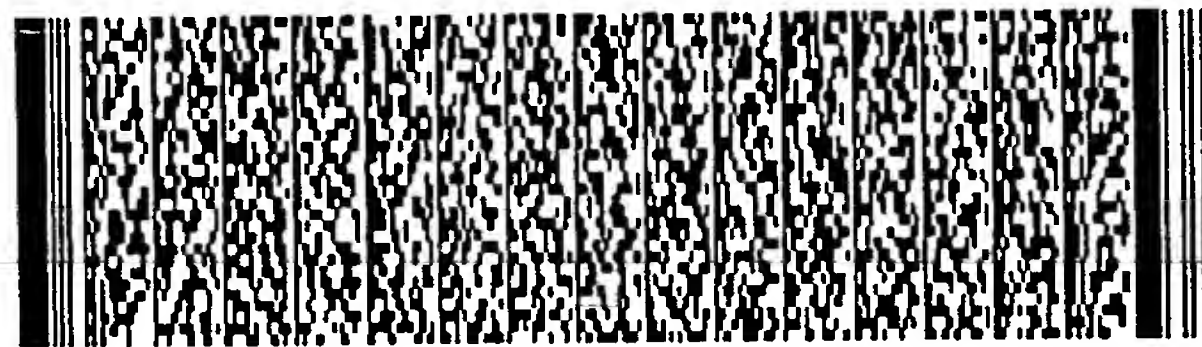
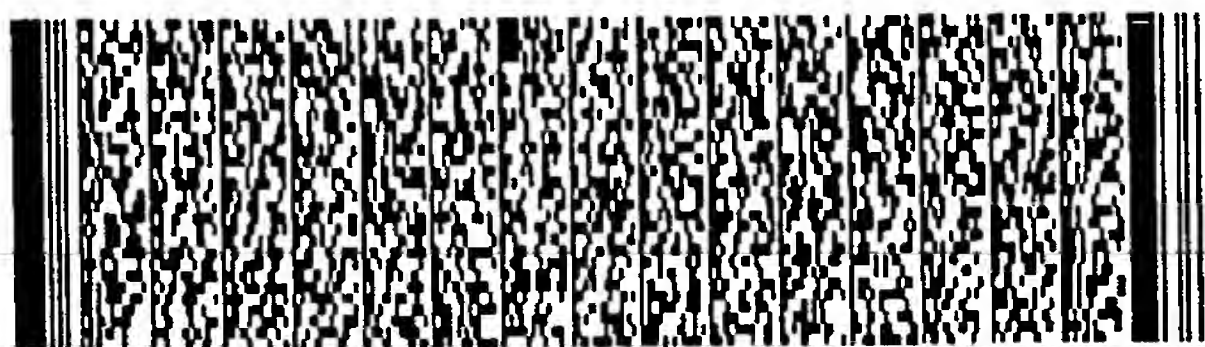


五、發明說明 (6)

空間，因而提高導電柱230之分佈密度。

請參考第3圖，其繪示本發明一較佳實施例之一種四方扁平無接腳型態之晶片封裝體的剖面圖，此晶片封裝體200包括一晶片承載器210、一晶片240、多個第一導線250以及一封膠260。此晶片承載器210係由一導電板220、多個導電柱230以及多個介電牆232所構成。其中，導電板220具有多個柱狀貫孔228，其位於晶片接合區域226之外圍，並分別貫穿導電板220，而連接導電板220之第一面222及第二面224。此外，導電柱230係分別配置於柱狀貫孔228之內，而介電牆232係分別配置於導電柱230之一的側緣及其對應之柱狀貫孔228之一的內面。

同樣如第3圖所示，晶片240具有一主動表面242以及對應之一背面244，而晶片240之主動表面242具有多個鐳墊246，且晶片240之背面244例如藉由一導電膠層248，例如銀膠而固定於晶片接合區域226。此外，晶片240之鐳墊246藉由第一導線250而電性連接至其所對應之導電柱230，而封膠260係包覆晶片240、第一導線250以及導電板220之第一面222，用以保護晶片240以及第一導線250。其中，第一導線250係為訊號導線，而第二導線252係為接地導線或電源導線，且第一導線250可經由打線製程，而分別電性連接晶片240及導電柱230。此外，晶片240還可藉由第二導線252而電性連接至導電板220，而晶片240電性連接至導電板220之目的乃是使晶片240相對具有較大的接地平面（或電源平面）。

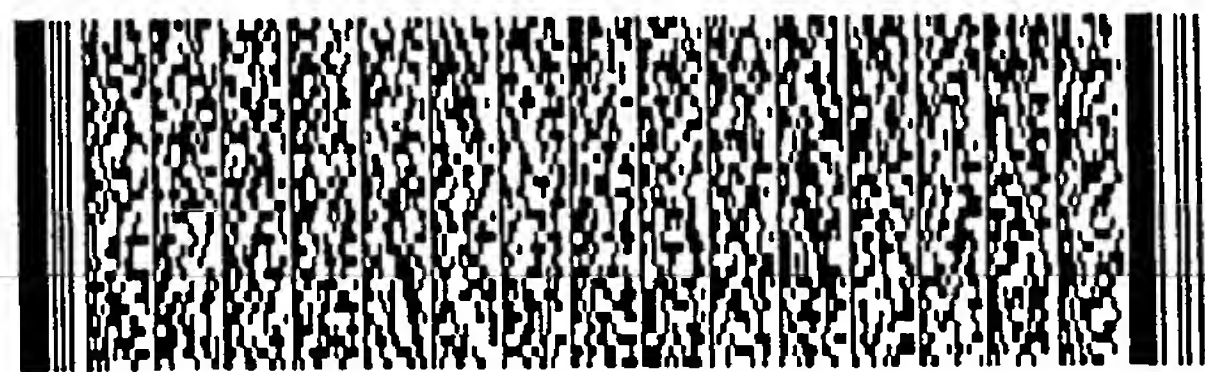
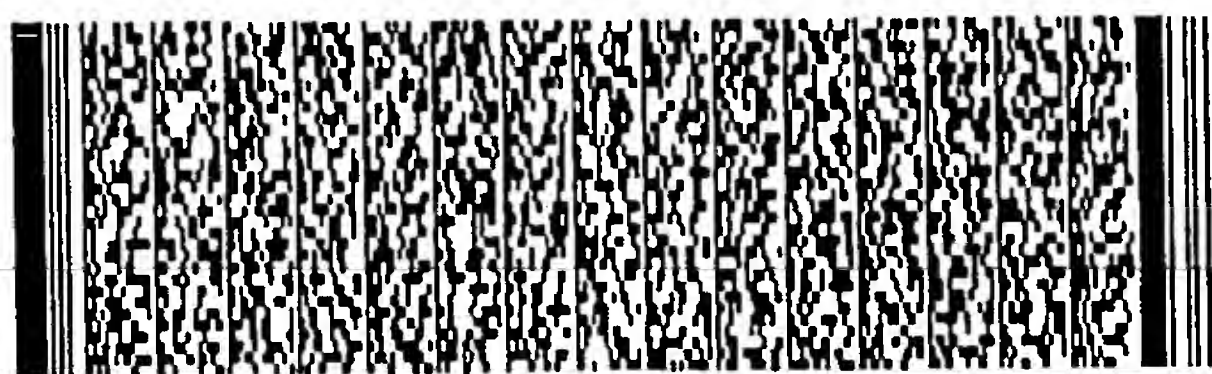


五、發明說明 (7)

另外，由第3圖之導電板220與導電柱230的剖面可知，導電板220還可區隔各自獨立之導電柱230，因此，當兩高頻訊號分別傳輸經過兩相鄰之導電柱230時，兩高頻訊號將可藉由作為參考平面之導電板220的屏蔽作用，因而避免兩高頻訊號於傳輸時發生交互干擾(crosstalk)之現象，故可有效地提高晶片封裝體200之電氣效能。再者，於形成封膠260之製程期間，將不易於本發明之導電板220之下表面224發生溢膠現象，因此可提高晶片封裝體200的封裝品質。

請參考第4圖，其繪示第3圖之A處的放大示意圖。為了增加封膠260與導電板220之第一面222的接合性，導電板220之第一面222可經由表面粗化處理（例如蝕刻）而成為一粗化面，用以增加封膠260與第一面222之間的接合面積。此外，導電板220之第一面222亦可形成一氧化層，其同樣可增加封膠260覆蓋於第一面222之接合面積。另外，導電板220之第二面224還覆蓋圖案化之一鍍罩層270或其他防鍍漆料，但暴露出導電柱230之較接近第二面224的局部端面230b。另外，導電柱230之上端面230a可連接至第3圖之第一導線250，而導電柱230之下端面230b係作為連接外界之接點，可藉由錫膏（未繪示）而電性連接至外部之印刷電路板（未繪示）。

由以上之說明可知，本發明之四方扁平無接腳型態之晶片承載器係適用於一打線接合型態之晶片封裝結構。此晶片承載器主要係由一導電板、多個導電柱以及多個介電



五、發明說明 (8)

牆所構成。晶片配置於導電板上，而導電板具有多個柱狀貫孔，其位於導電板之晶片接合區的外圍，而這些導電柱則分別配置於這些柱狀貫孔之中，且這些介電牆則分別介於導電柱之側壁與柱狀貫孔之內面之間。此外，晶片可以打線接合的方式，藉由多個導線而電性連接至導電柱之頂端，再經由導電柱之底端所形成I/O接點連接至外界。

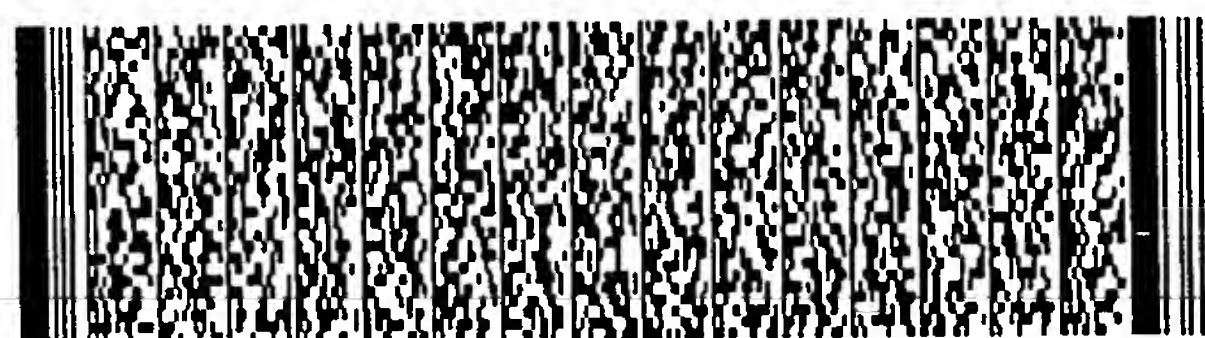
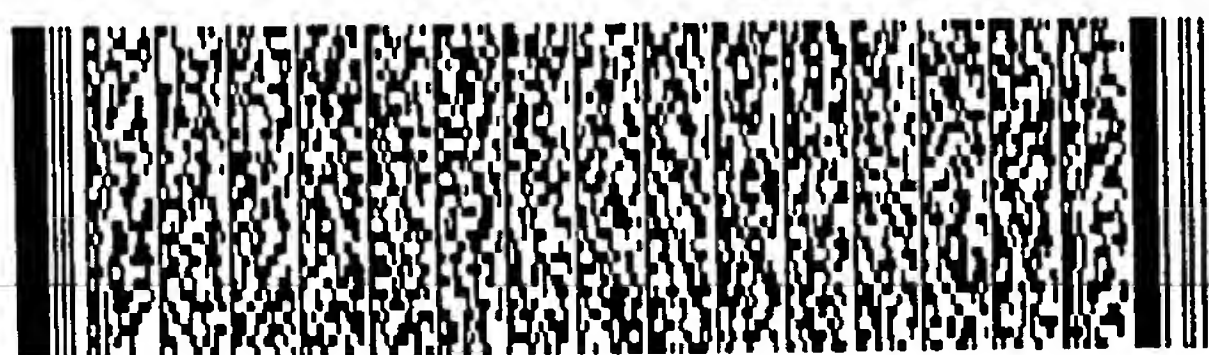
綜上所述，本發明之四方扁平無接腳型態之晶片承載器，具有下列優點：

(1) 由於這些導電柱更可呈環狀排列，因而降低這些導電柱所需之配置空間，所以晶片封裝結構之I/O接點的密度可進一步增加。

(2) 在封膠製程中，導電板之下表面較不易產生溢膠的現象，因此可提高晶片封裝結構的封裝品質。

(3) 高頻訊號傳輸於導電柱的期間，可藉由作為參考平面之導電板的屏蔽作用來降低高頻訊號之間所發生交互干擾的現象，因此可提高晶片封裝結構的電氣效能。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1A圖繪示習知一種四方扁平無接腳封裝結構之剖面圖。

第1B圖繪示對應於第1A圖之四方扁平無接腳封裝結構之下表面的仰視圖。

第2A圖繪示本發明一較佳實施例之一種四方扁平無接腳型態之晶片承載器的俯視圖。

第2B圖繪示第2A圖之I-I線的剖面圖。

第3圖繪示本發明一較佳實施例之一種四方扁平無接腳型態之晶片封裝體的剖面圖。

第4圖繪示第3圖之A處的放大示意圖。

【圖式標示說明】

100：四方扁平無接腳封裝結構

110：晶片

112：主動表面

114：背面

116：鐳墊

118：銀膠

120：晶片座

130：導線

132：接地(或電源)導線

140：接腳

150：封膠

200：晶片封裝體



圖式簡單說明

- 210 : 晶片承載器
- 220 : 導電板
- 222 : 第一面
- 224 : 第二面
- 226 : 晶片接合區域
- 228 : 柱狀貫孔
- 230 : 導電柱
- 230a : 上端面
- 230b : 下端面
- 232 : 介電牆
- 240 : 晶片
- 242 : 主動表面
- 244 : 背面
- 246 : 鐳墊
- 248 : 導電膠層
- 250 : 第一導線
- 252 : 第二導線
- 260 : 封膠
- 270 : 圖案化鐳罩層



六、申請專利範圍

1. 一種四方扁平無接腳型態之晶片承載器，包括：

一導電板，具有一第一面及對應之一第二面，而該第一面具有一晶片接合區域，且該導電板具有複數個柱狀貫孔，其位於該晶片接合區域之外圍，並分別貫穿該導電板，而連接該導電板之該第一面及該第二面；

複數個導電柱，分別配置於該些柱狀貫孔之內；以及
複數個介電牆，分別配置於該些導電柱之一的側緣及其對應之該些柱狀貫孔之一的內面。

2. 如申請專利範圍第1項所述之四方扁平無接腳型態之晶片承載器，其中該導電板之該第一面係為一粗化面。

3. 如申請專利範圍第1項所述之四方扁平無接腳型態之晶片承載器，其中該導電板之該第一面具有一氧化層。

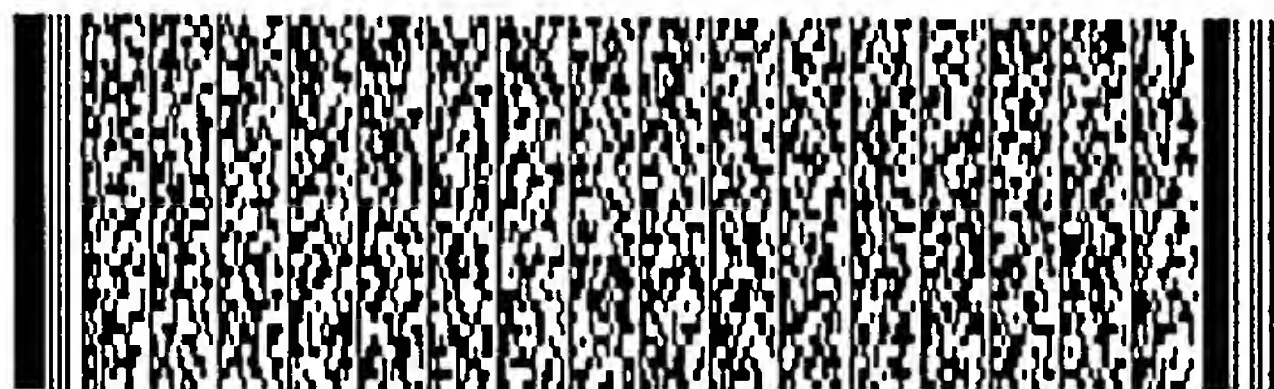
4. 如申請專利範圍第1項所述之四方扁平無接腳型態之晶片承載器，更包括圖案化之一鍍罩層，其配置於該導電板之該第二面，且暴露出這些導電柱之較接近該第二面的至少局部端面。

5. 一種四方扁平無接腳型態之晶片封裝體，包括：

一晶片承載器，包括：

一導電板，具有一第一面及對應之一第二面，而該第一面具有一晶片接合區域，且該導電板具有複數個柱狀貫孔，其位於該晶片接合區域之外圍，並分別貫穿該導電板，而連接該導電板之該第一面及該第二面；

複數個導電柱，分別配置於該些柱狀貫孔之內；
以及



六、申請專利範圍

複數個介電牆，分別配置於該些導電柱之一的側緣及其對應之該些柱狀貫孔之一的內面；

一晶片，配置於該導電板之該第一面的該晶片接合區域；

複數個第一導線，分別電性連接該晶片及該些導電柱；以及

一封膠，包覆該晶片及該些導線。

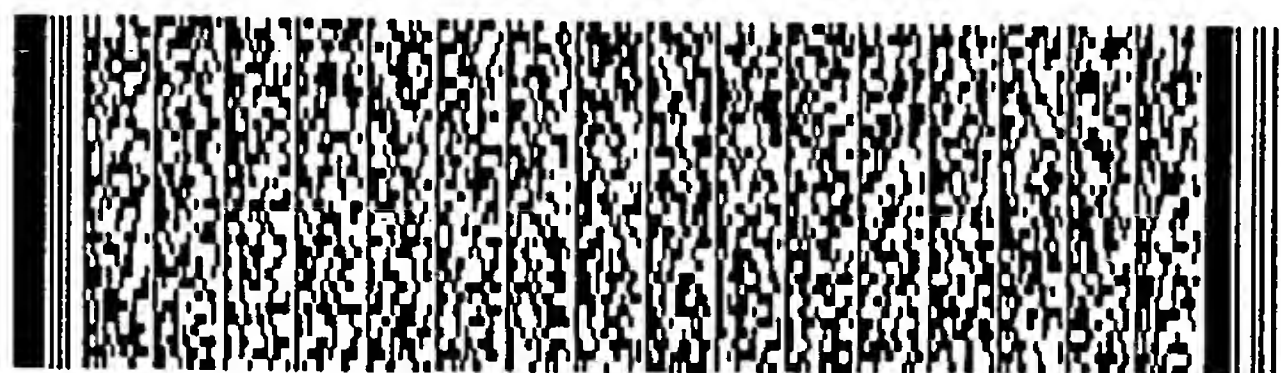
6. 如申請專利範圍第5項所述之四方扁平無接腳型態之晶片封裝體，更包括至少一第二導線，其電性連接該晶片至該導電板。

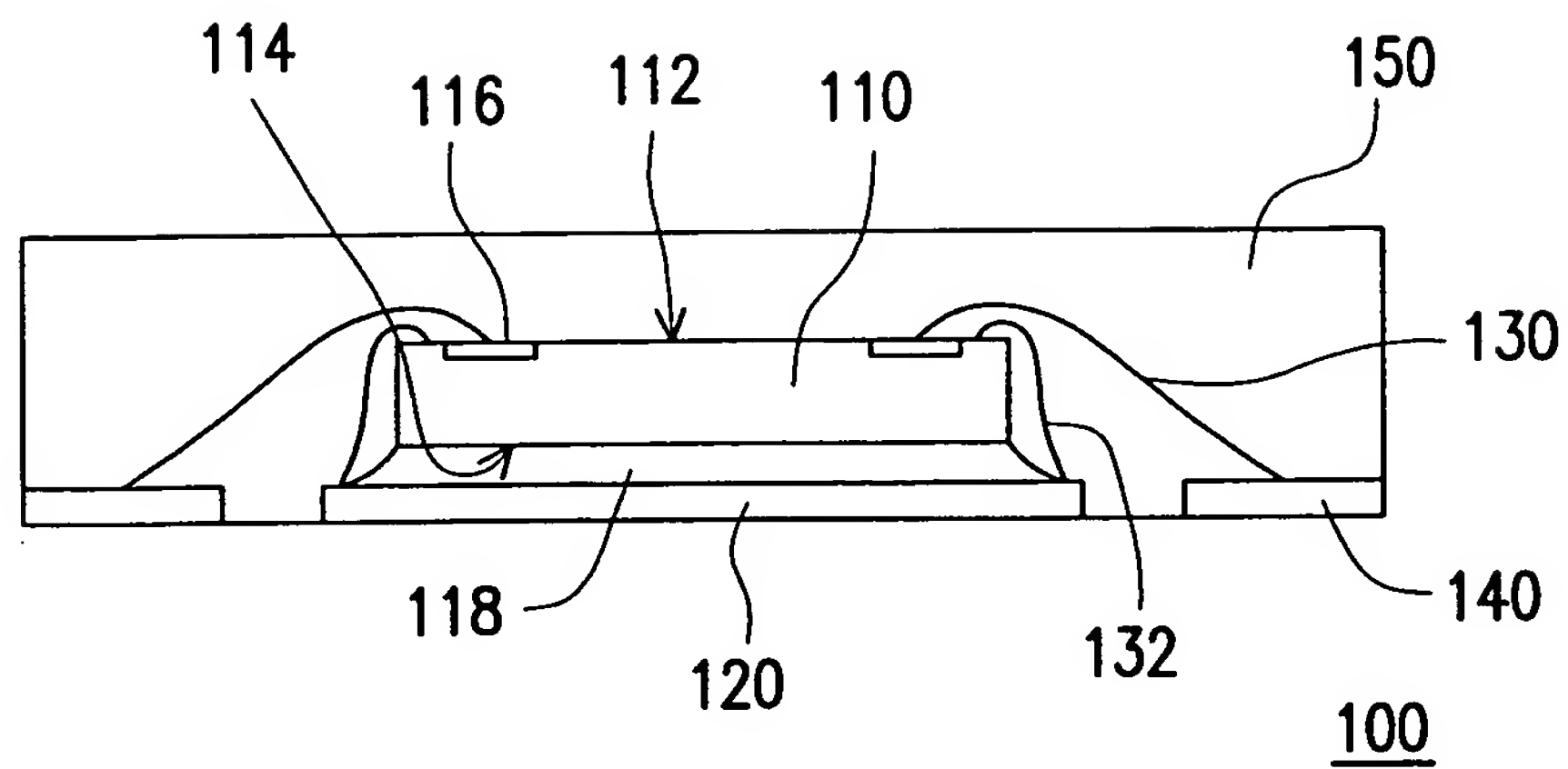
7. 如申請專利範圍第5項所述之四方扁平無接腳型態之晶片封裝體，更包括一導電膠層，配置於該晶片與該導電板之間。

8. 如申請專利範圍第5項所述之四方扁平無接腳型態之晶片封裝體，其中該導電板之該第一面係為一粗化面。

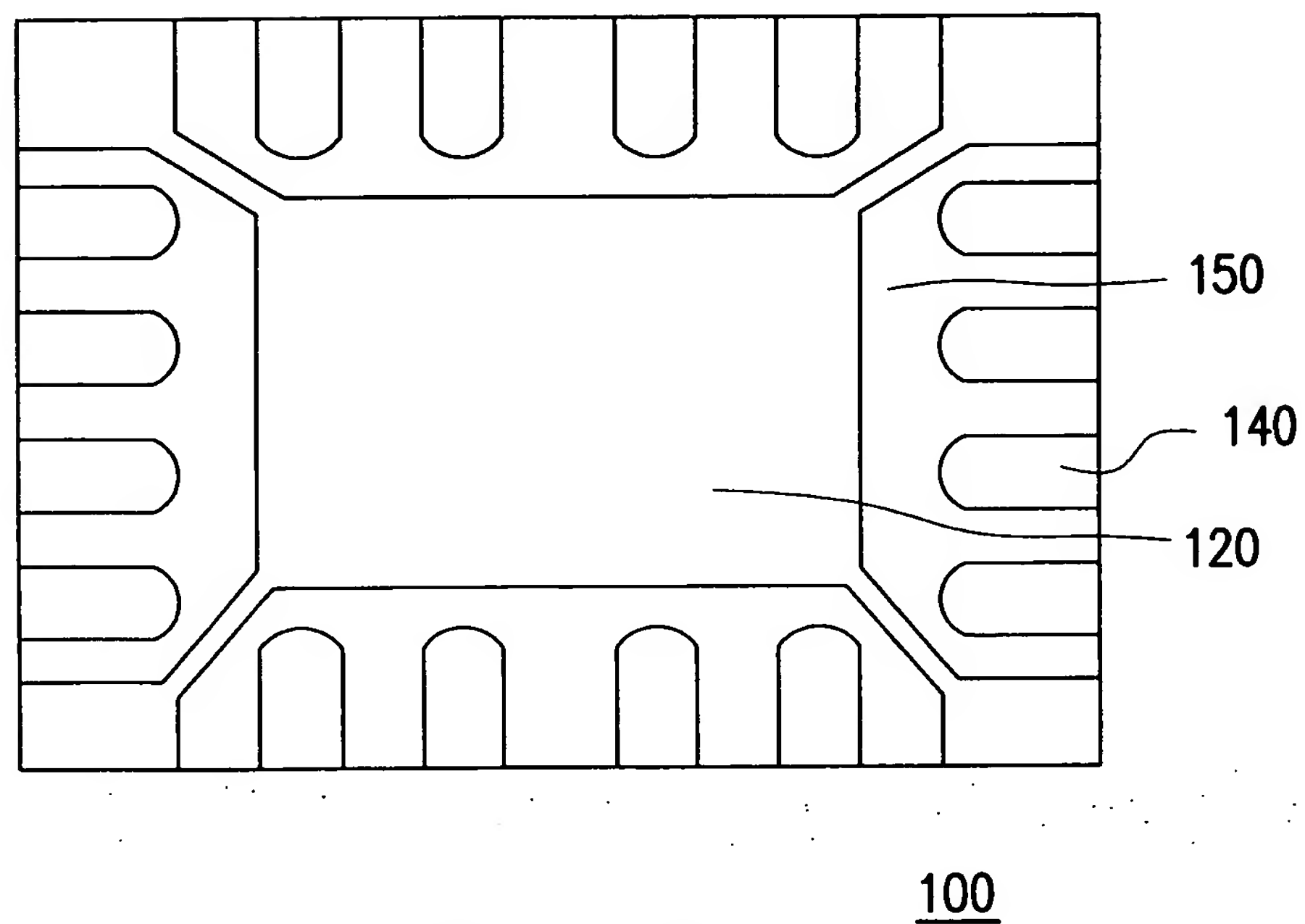
9. 如申請專利範圍第5項所述之四方扁平無接腳型態之晶片封裝體，其中該導電板之該第一面具有一氧化層。

10. 如申請專利範圍第5項所述之四方扁平無接腳型態之晶片封裝體，其中該晶片承載器更包括圖案化之一鍍罩層，其配置於該導電板之該第二面，且暴露出這些導電柱之較接近該第二面的至少局部端面。

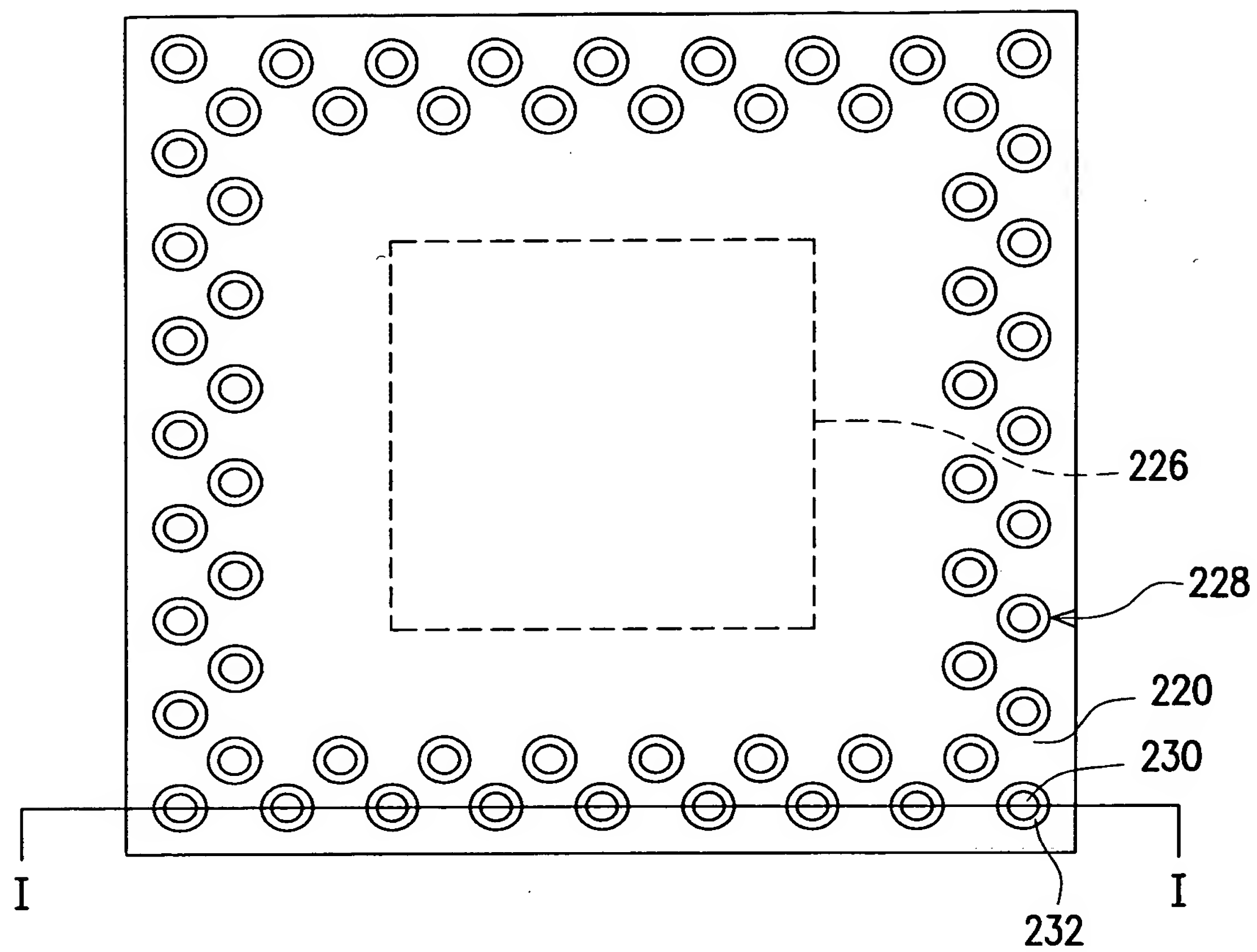




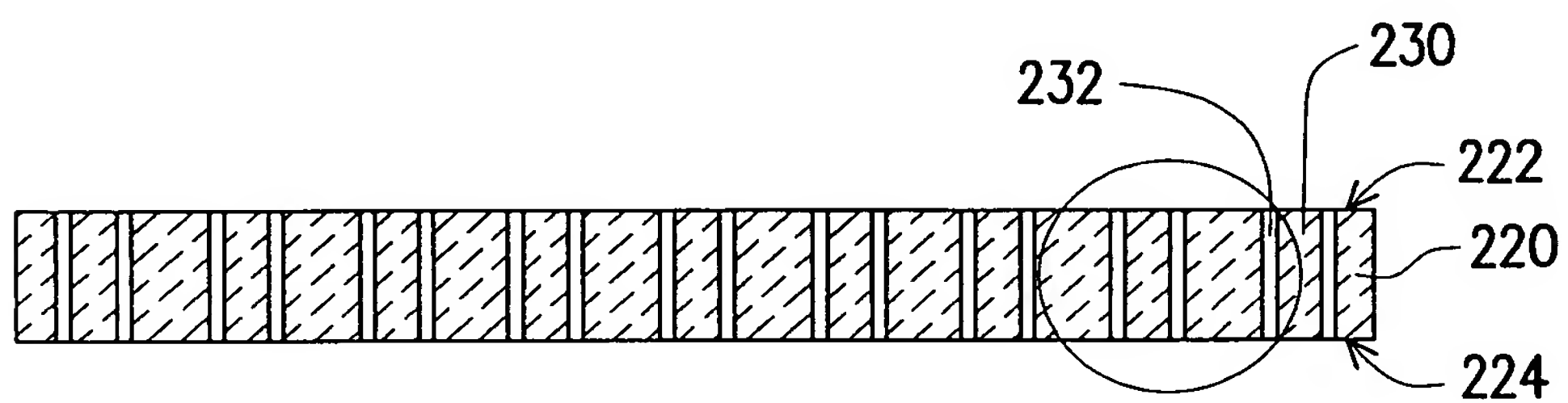
第 1A 圖



第 1B 圖

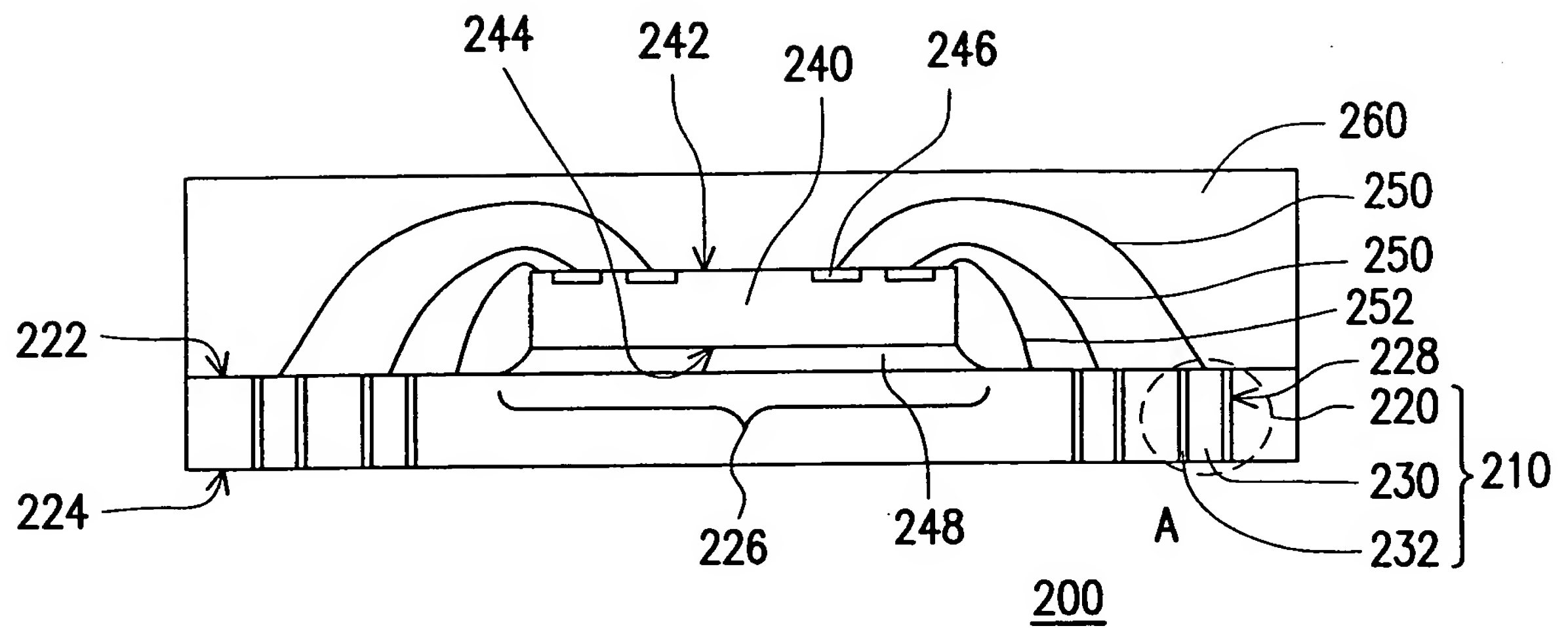


第 2A 圖

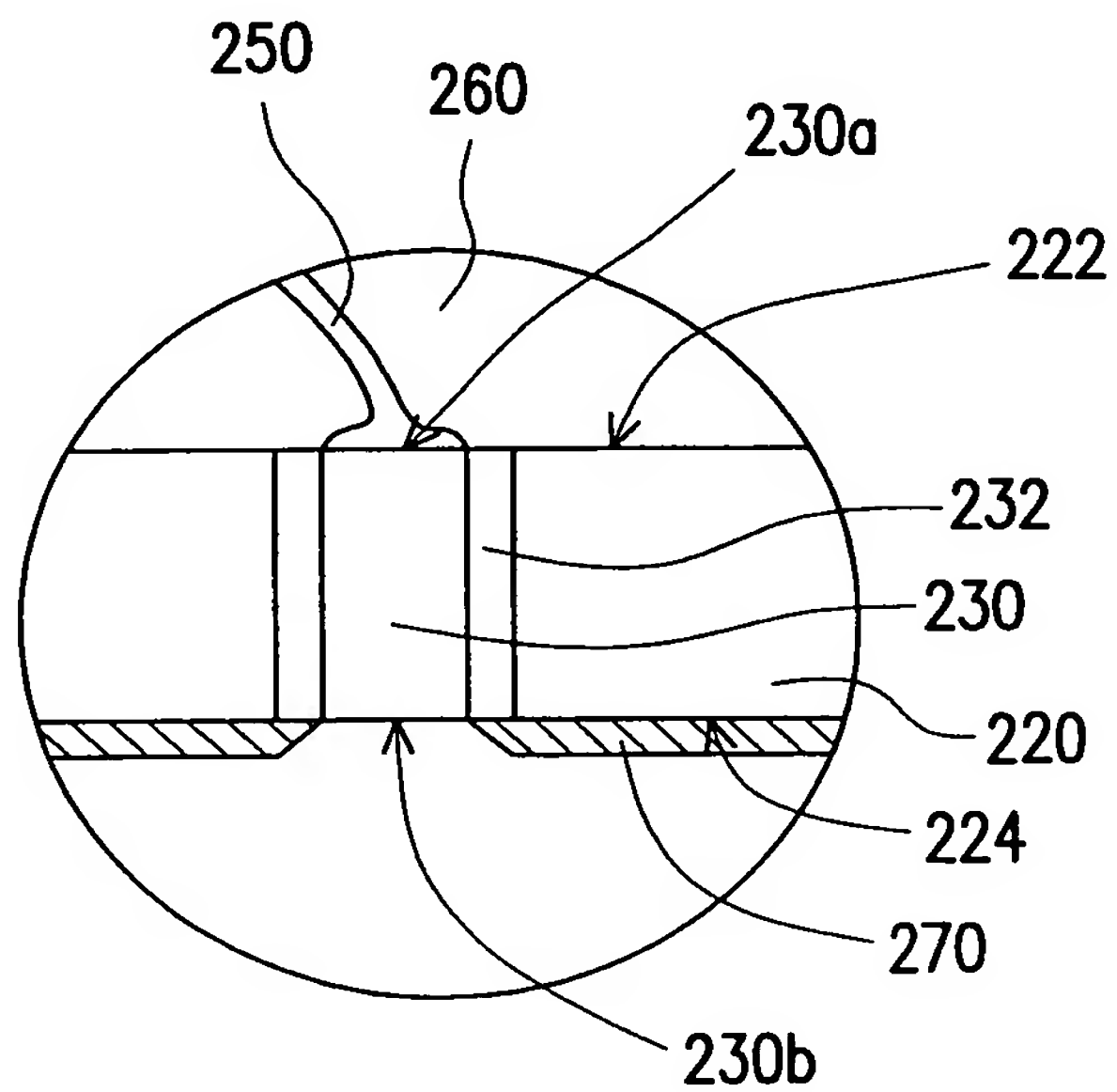
210

第 2B 圖



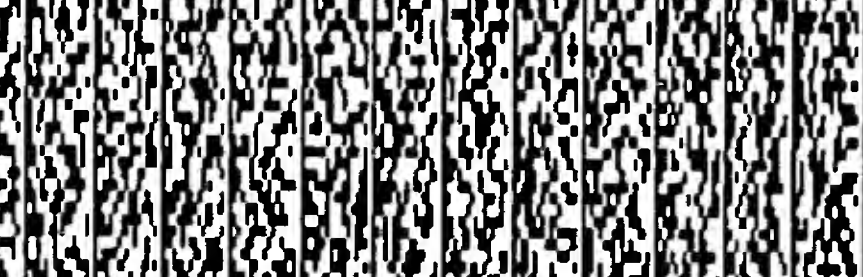

210






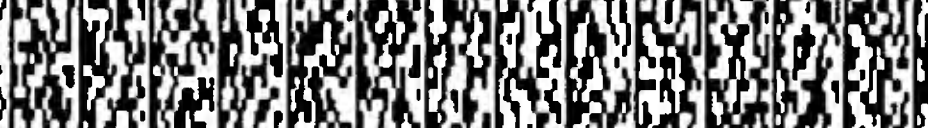
第 3 圖



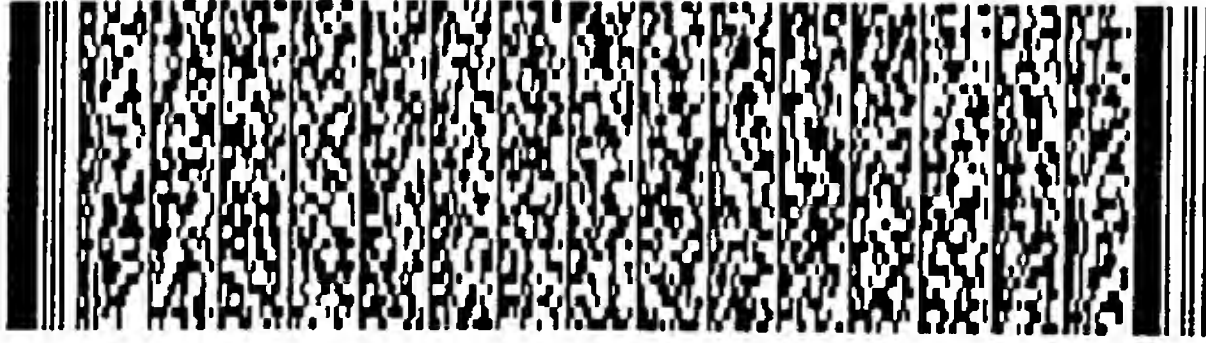
第 4 圖



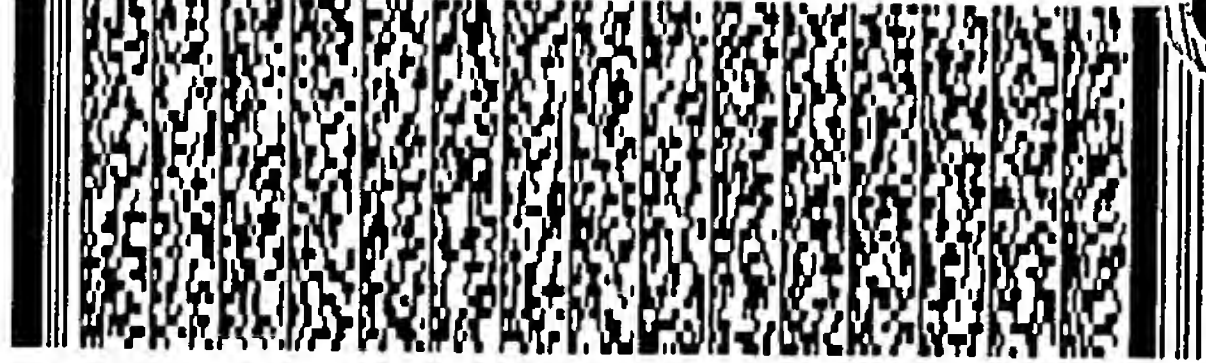
A large, dense, black and white photograph of a textured surface, possibly a wall or a piece of fabric, with a vertical line running down the center. The texture is highly irregular and grainy, with many small, dark spots and lines. The vertical line is slightly darker and more prominent than the surrounding texture. The overall appearance is that of a high-contrast, grainy image, possibly a photocopy or a scan of a photograph.



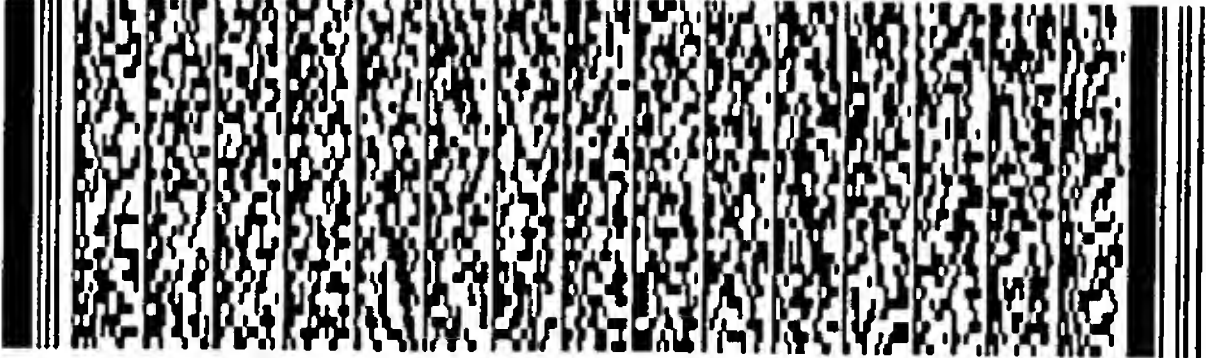
第 10/16 頁



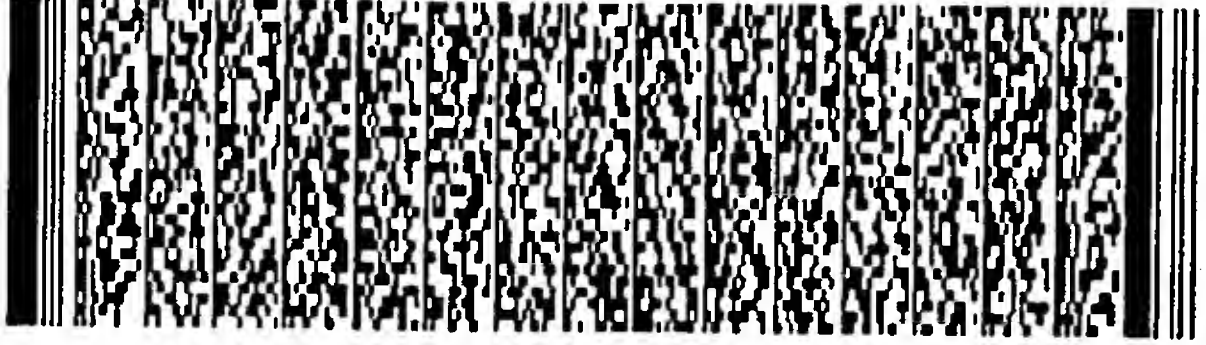
第 11/16 頁



第 11/16 頁



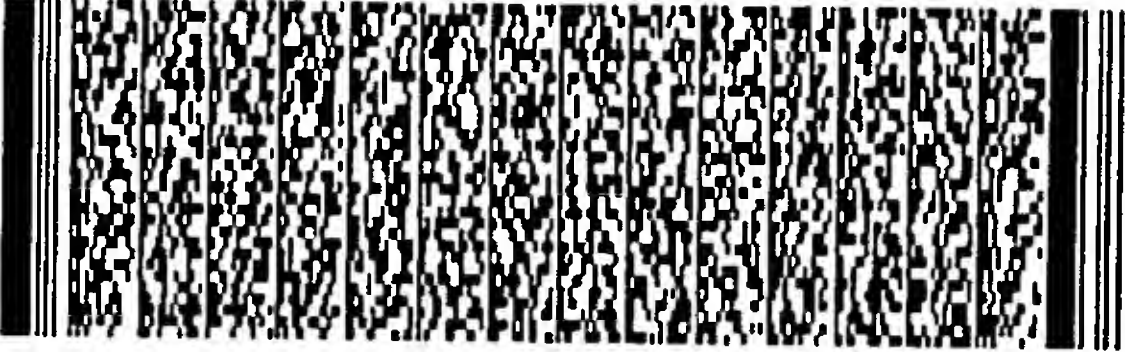
第 12/16 頁



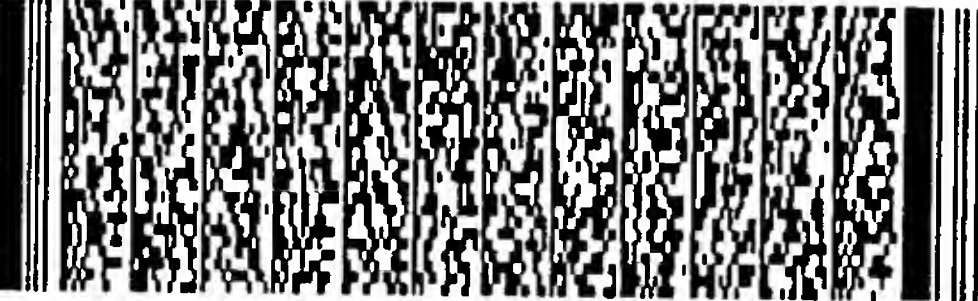
第 12/16 頁



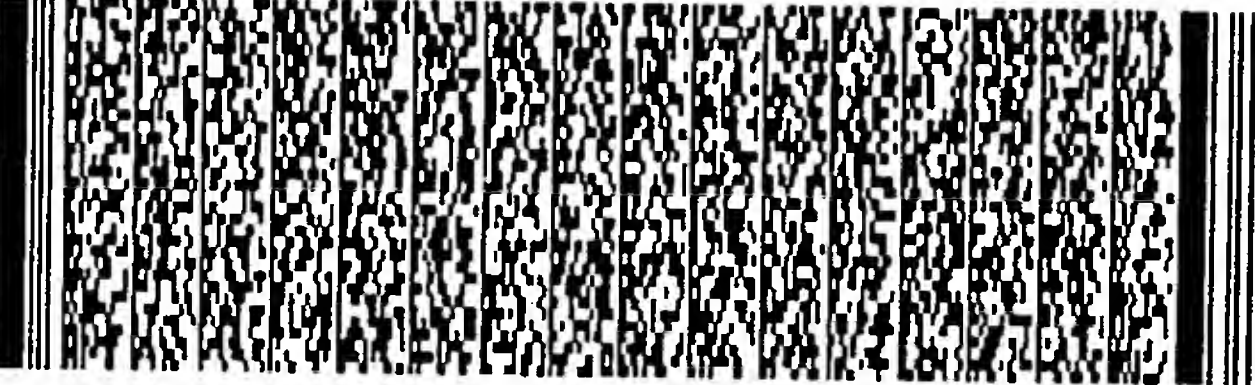
第 13/16 頁



第 14/16 頁



第 15/16 頁



第 16/16 頁

